

訂正有り

④日本国特許庁(JP)

⑤特許出願公開

⑥公開特許公報(A) 平3-20046

⑦Int.Cl.⁶
H 01 L 21/336
29/784

識別記号

厅内整理番号

⑧公開 平成3年(1991)1月29日

9056-5F H 01 L 29/78 311 P
審査請求 未請求 請求項の数 1 (全4頁)

⑨発明の名称 半導体装置の製造方法

⑩特願平1-155395

⑪出願平1(1989)6月16日

⑫発明者 小林 和 遼	大阪府門真市大字門真1006番地	松下電子工業株式会社内
⑬発明者 中 村 晃	大阪府門真市大字門真1006番地	松下電子工業株式会社内
⑭発明者 山 本 敦也	大阪府門真市大字門真1006番地	松下電子工業株式会社内
⑮発明者 藤 井 英 治	大阪府門真市大字門真1006番地	松下電子工業株式会社内
⑯発明者 千 田 耕 司	大阪府門真市大字門真1006番地	松下電子工業株式会社内
⑰出願人 松下電子工業株式会社	大阪府門真市大字門真1006番地	
⑱代理人 弁理士 栗野 重孝	外1名	

明 告 書

1. 発明の名称

半導体装置の製造方法

2. 特許請求の範囲

トランジスタとなるポリシリコン層上に、酸化膜を形成する工程と、前記酸化膜上にゲート電極を形成する工程と、このゲート電極以外の部分の酸化膜をエッチングして開くする工程と、前記ポリシリコン層中にイオン注入によりソース・ドレイン領域を形成する工程とを含むことを特徴とする半導体装置の製造方法。

3. 発明の詳細な説明

意義上の利用分野

本発明は、液晶ディスプレイの製造工場等に用いることが出来る半導体装置の製造方法に関するものである。

従来の技術

以下に従来行って来た薄膜トランジスタの製造方法について説明する。従来の製造方法を第3図に示す。初めに、第3図(a)の様に石英基板31

上にトランジスタの活性領域となるポリシリコンを形成し、パターニング後ニッティングを行ないポリシリコン32とする。次に、第3図(b)の様に1100°Cの温度で熱強化を行ないゲート強化膜33を形成する。次に、ゲート電極となるポリシリコン層を形成し、パターニング後ニッティングを行ないポリシリコン34とする。次に、第3図(c)の様にゲート電極のポリシリコン34直下のゲート強化膜33以外にあるゲート強化膜はエッチングを行ない除去する。最後に第3図(d)の様にセルフィラインでP⁺をイオン注入し、n型領域35を形成し、ソース・ドレイン領域とする。又、P型トランジスタを形成する場合はB⁺を注入する。第4図に例えば、P⁺を注入した場合の差さ方角に対する不純物(B⁺)濃度分布を示す。

発明が解決しようとする課題

しかしながら、上記のような従来の半導体製造方法では、イオン注入時の加速度は30KeV程度しか加速強化出来ず、この時のシリコンに対するP⁺及びB⁺の射程距離(R_p, R_b)はおよ

BEST AVAILABLE COPY

特開平3-20046 (2)

モ.04 μmから0.1 μmである。薄膜トランジスタのポリシリコンの厚さが相互コンタクトアンス(μm)を向上させるために数百Aであることから、イオン注入されたP+及びB+の殆んどは石英基板に到達してしまい、不純物としての役割を果たしていない。その結果、ソース・ドレイン部のコンタクト抵抗が高くなってしまう欠点を有していた。

本発明は上記欠点を着目し、薄膜トランジスタのソース・ドレイン上にゲート氧化膜を数百A強するという工程を含むことにより、ソース・ドレイン部のコンタクト抵抗を低減できる半導体装置の製造方法を提供するものである。

課題を解決するための手段

上記課題を解決するために、本発明の半導体装置の製造方法は、ポリシリコン層上に形成された酸化膜をゲート電極下以外の酸化膜のエッチャリング工程で酸化膜を残すようにしておくものである。

作用

装置の製造方法について、以下その製造方法を説明する。

まず初めに、第1回の様に石英基板11上にポリシリコン層厚さ2000ÅをLPCVD法により成長し、バーニングを行ない薄膜トランジスタの能動領域を形成する。次に、第1回の様にポリシリコン層上に熱処理によって厚さ1300Åのゲート酸化膜13を形成し、その直上にポリシリコン層厚さ3000Åを成長させ、バーニングを行ないゲート電極14を形成する。更に、プラズマのエッチャリング液により、ゲート酸化膜13をゲート電極14直下の直角を500Å程度にエッチャリングをして、第1回の様にする。この段階で第1回に示す様にセルフライント^TP+又はA+をイオン注入($1 \times 10^{13} \text{ dose}, 30 \text{ KV}$)し、n型領域15を形成する。このn型領域15は、薄膜トランジスタのソース電極及びドレイン電極となる。イオン注入工程終了後以下は、従来から用いられているプロセスに従ってソース電極、ドレイン電極を形成することにより石

この構成により、注入される不純物はポリシリコン上の酸化膜によりある程度エネルギーを損失するため、ポリシリコンに達した時にはエネルギーが低減している。すなわち、30KVよりも更に低エネルギーで注入したことになる。そのため、数百Aの超薄膜ポリシリコンの場合でも注入した不純物は、ポリシリコン層膜を突き抜け石英基板に到達するのではなく、ポリシリコン層膜中にとり込まれ、ポリシリコン中の不純物濃度が高くなる。その結果、ソース・ドレイン部のコンタクト抵抗が従来よりも著しく低減できる。

実施例

以下、本発明の一実施例について図面を参照しながら説明する。

第1図は、本発明の一実施例におけるn型半導体装置の製造方法を示すものである。第1図において11は石英基板、12は薄膜トランジスタとなるポリシリコン層、13はゲート酸化膜、14はゲート電極となるポリシリコン層、15はn型不純物領域である。図上の袋に構成された半導体

天板上に薄膜トランジスタを形成する。

以上の様にして形成した薄膜トランジスタは、ソース・ドレイン領域のゲート酸化膜を完全に除去せず、500Å残した状態でイオン注入を行なうことにより第2図で示した様にポリシリコン層内で不純物濃度が高くなり、ソース・ドレイン部のコンタクト抵抗を小さくできる。

なお、本実施例ではP+又はA+のイオン注入によりn型トランジスタとしたが、B+注入によるP型トランジスタを用いても良い。

発明の効果

以上の様に、本発明の特徴は薄膜トランジスタの能動領域上に形成したゲート酸化膜を、ゲート電極直下直角の領域でわずかに残してソース・ドレイン部のイオン注入を行なうことがある。本発明の工程を導入することにより、薄膜トランジスタのソース・ドレイン領域で不純物濃度、言い換えればキャリア濃度が高くなり、ソース・ドレイン各電極を形成した時、コンタクト抵抗が低減できること。

特開平3-20046 (3)

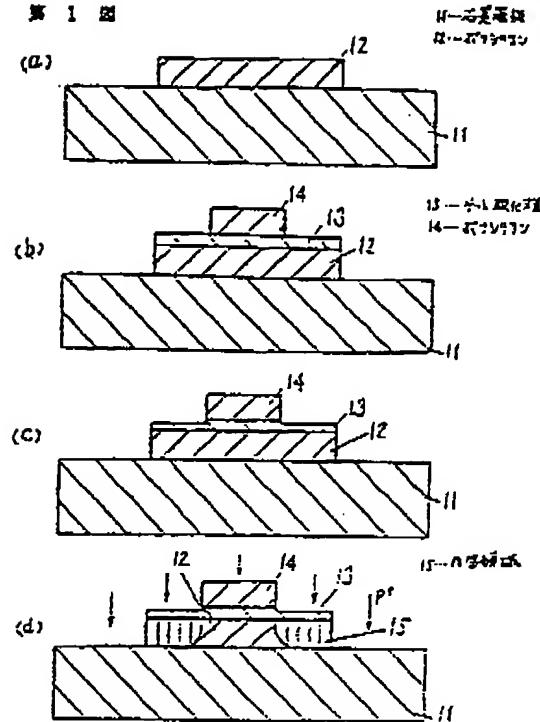
4. 図面の簡単な説明

第1回(1)～(4)は本発明の実施例に於ける半導体装置の製造方法を示す工程図、第2図は本発明の半導体装置の製造方法を用いて、ポリシリコン層にイオン注入した時の深さ方向の不純物濃度分布図、第3回(1)～(4)は従来の半導体装置の製造方法を示す工程図、第4回は従来の半導体装置の製造方法を用いて、ポリシリコン層にイオン注入した時の深さ方向の不純物濃度分布図である。

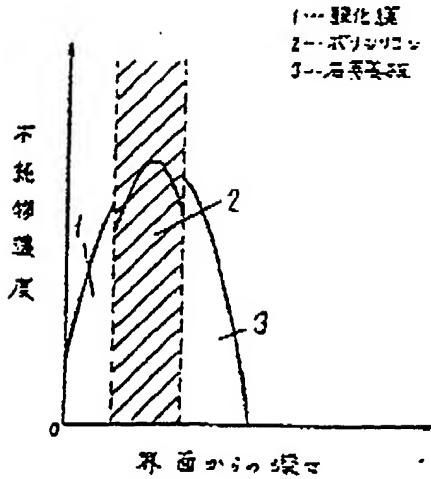
1—…石英基板、2—…ポリシリコン層、3—…ゲート酸化膜、4—…ゲート電極用ポリシリコン層、5—…n型不純物領域。

代理人の氏名 井澤士 栗野直季 ほか1名

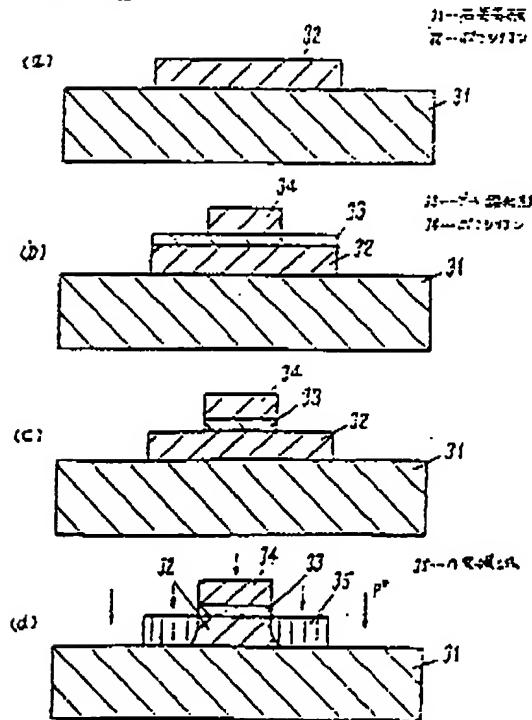
第1回



第2回

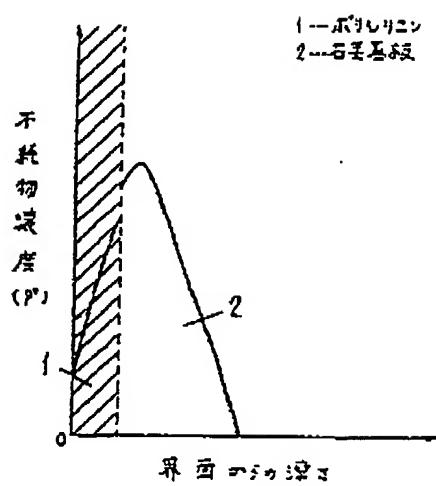


第3回



特許手3-2004(4)

第 4 図



Family list

2 family member for:

JP3020046

Derived from 1 application.

1 MANUFACTURE OF SEMICONDUCTOR DEVICEPublication info: **JP2553704B2 B2 - 1996-11-13****JP3020046 A - 1991-01-29**

Data supplied from the *esp@cenet* database - Worldwide

Japanese Laid-open Patent

Laid-open Number: Hei 3-20046
Laid-open Date: January 29, 1991
Application Number: Hei 1-155395
Filing Date: June 16, 1989
Applicant: Matsushita Electronics Corporation

SPECIFICATION**1. Title of the Invention**

Method of Manufacturing Semiconductor Device

2. Scope of Claim

A method of manufacturing a semiconductor device characterized by comprising the steps of:

forming an oxide film on a polysilicon layer to be a transistor;

forming a gate electrode on said oxide film;

etching to thin said oxide film except a portion having said gate electrode; and

forming a source/drain region by implanting ions in said polysilicon layer.

3. Detailed Description of the Invention**Field of the Industrial Application**

The present invention relates to a method of manufacturing a semiconductor device which can be used as a driver circuit for a liquid crystal display, or the like.

Prior Art

A conventional method of manufacturing a thin film transistor is described in the following. Fig. 3 illustrates the conventional manufacturing method. First, as illustrated in Fig. 3(a), polysilicon to be an active region of the transistor is formed on a quartz substrate 31. After patterning, etching is performed to form polysilicon 32. Then, as illustrated in Fig. 3(b), thermal oxidation is performed at the temperature of 1100°C to form a gate oxide film 33. Then, a polysilicon layer to be a gate electrode is formed. After patterning, etching is performed to form polysilicon 34. Then, as illustrated in Fig. 3(c), the gate oxide film 33 right under the polysilicon 34 of the gate electrode is etched to be removed. Finally, as illustrated in Fig. 3(d), P⁺ ions are implanted in a self-aligning

manner to form an n-type region 35 to be a source/drain region. In the case where a P-type transistor is formed, B⁺ is implanted. Fig. 4 illustrates by way of example the distribution of the impurity (B⁺) concentration with respect to the depth in the case where P⁺ is implanted.

Problem to be solved by the Invention

However, in the above conventional method of manufacturing a semiconductor, the acceleration voltage in ion implantation can be lowered only to about 30 KeV. Here, the projection range (R·P) of P⁺ and B⁺ against silicon is about 0.04 μm to 0.1 μm. Since the thickness of the polysilicon of the thin film transistor is several hundred Å for the purpose of improving the transconductance (gm), most of the implanted P⁺ and B⁺ ions reach the quartz substrate and do not act as impurity. As a result, there is a disadvantage that the contact resistance of the source/drain region is high.

The present invention is made in view of the above disadvantage, and provides a method of manufacturing a semiconductor device which can lower the contact resistance of a source / drain portion by comprising a step of leaving a gate oxide film at the thickness of several hundred Å on a source/drain of the thin film transistor.

Means for solving the Problem

In order to solve the above problem, in a method of manufacturing a semiconductor device according to the present invention, an oxide film formed on a polysilicon layer is left in an etching step of the oxide film except a portion right under a gate electrode.

Action

In this structure, since the implanted impurity loses its energy to some extent due to the oxide film on the polysilicon, its energy is low when it reaches the polysilicon. In other words, the impurity is implanted with its energy being lower than 30 KeV. Therefore, even in the case of an ultra thin film of polysilicon at the thickness of several hundred Å, the implanted impurity does not go through the polysilicon thin film to reach a quartz substrate. Rather, it is taken within the polysilicon thin film to increase the impurity concentration in the polysilicon. As a result, the contact resistance in the source/drain portion can be considerably lowered compared with a conventional case.

Embodiment

An embodiment of the present invention is described in the following with reference to the drawings.

Fig. 1 illustrates a method of manufacturing an n-type semiconductor device according to the embodiment of the present invention. In Fig. 1, reference numeral 11 denotes a quartz substrate, 12 denotes a polysilicon layer to be a thin film transistor, 13 denotes a gate oxide film, 14 denotes a polysilicon layer to be a gate electrode, and 15 denotes an n-type impurity region. A method of manufacturing the semiconductor device structured as in the above is described in the following.

First, as illustrated in Fig. 1(a), a polysilicon layer at the thickness of 2000 Å is made to grow on the quartz substrate 11 by LPCVD, and is patterned to form an active region of the thin film transistor. Then, as illustrated in Fig. 1(b), the gate oxide film 13 at the thickness of 1300 Å is formed on the polysilicon layer by thermal oxidation, a polysilicon layer at the thickness of 3000 Å is made to grow right over it, and patterning is performed to form the gate electrode 14. Further, the gate oxide film 13 is etched using an etchant containing fluoric acid such that the gate oxide film 13 is left at the thickness of 500 Å on both sides of the portion right under the gate electrode 14 to obtain the state illustrated in Fig. 1(c). In this state, as illustrated in Fig. 1(d), P⁺ or As⁺ ions are implanted in a self-aligning manner (1×10^{15} dose, 30 KeV) to form the n-type region 15. The n-type region 15 is to be a source region and a drain region of the thin film transistor. After the ion implantation process is completed, a source electrode and a drain electrode are formed according to a conventional process to form the thin film transistor on the quartz substrate.

In the thin film transistor formed as described above, since the gate oxide film of the source/drain region is not completely removed and ion implantation is performed with the gate oxide film being left at the thickness of 500 Å, as illustrated in Fig. 2, the impurity concentration is high in the polysilicon layer, and thus, the contact resistance of the source/drain portion can be made lower.

It is to be noted that, though an n-type transistor is formed by ion implantation of P⁺ or As⁺ in this embodiment, a P-type

transistor may also be used formed by implanting B⁺.

Effect of the Invention

As described in the above, the present invention is characterized in that ion implantation in the source/drain portion is performed with the gate oxide film formed on the active region of the thin film transistor being slightly left in regions on both sides of a portion right under the gate electrode. By introducing the process of the present invention, the impurity concentration, in other words, the carrier concentration, in the source/drain region of the thin film transistor is made higher, and the contact resistance can be made lower when the source electrode and the drain electrode are formed.

4. Brief Description of the Drawings

Figs. 1(a)-(d) are process drawings illustrating a method of manufacturing a semiconductor device according to an embodiment of the present invention. Fig. 2 is a diagram illustrating the distribution of the impurity concentration with respect to the depth in a case where ion implantation is performed in a polysilicon layer using the method of manufacturing a semiconductor device according to the present invention. Figs. 3(a)-(d) are process drawings illustrating a conventional method of manufacturing a semiconductor device. Fig. 4 is a diagram illustrating the distribution of the impurity concentration with respect to the depth in a case where ion implantation is performed in a polysilicon layer using the conventional method of manufacturing a semiconductor device.

1 quartz substrate, 2 polysilicon layer, 3 gate oxide film,
4 polysilicon layer for gate electrode, 5 n-type impurity region.

Name of Attorney: Patent Attorney Shigetaka Kurino and one other

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.